

(19) 日本国特許庁 (JP)

(12) 特許公報 (B 2)

(11) 特許番号

第 2 5 8 3 0 5 5 号

(45) 発行日 平成9年 (1997) 2月19日

(24) 登録日 平成8年 (1996) 11月21日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 R 31/28			G 0 1 R 31/28	H
H 0 1 L 21/66			H 0 1 L 21/66	Z

発明の数 1

(全 6 頁)

(21) 出願番号 特願昭62-133811

(22) 出願日 昭和62年 (1987) 5月29日

(65) 公開番号 特開昭63-298174

(43) 公開日 昭和63年 (1988) 12月5日

(73) 特許権者 999999999

株式会社 アドバンテスト

東京都練馬区旭町1丁目32番1号

(72) 発明者 植田 基夫

東京都練馬区旭町1丁目32番1号 株式会社

アドバンテスト内

(72) 発明者 長谷川 真平

東京都練馬区旭町1丁目32番1号 株式会社

アドバンテスト内

(72) 発明者 清水 敏行

東京都練馬区旭町1丁目32番1号 株式会社

アドバンテスト内

(74) 代理人 弁理士 草野 卓

審査官 中塚 直樹

最終頁に続く

(54) 【発明の名称】 I C テストシステム

1

(57) 【特許請求の範囲】

【請求項 1】 被試験素子の入力端子への制御信号の設定命令、被試験素子の出力端子からの出力信号の測定命令などの実行命令が行単位で記録されたテストプログラムを行単位で読出してその読出した命令を複数の下位の処理装置へ送る上位の処理装置と、
上記上位の処理装置から送られた命令を実行するに必要とする各種制御乃至処理を、上記命令に応じたプログラムを読み出して、複数のハードウェアモジュールに対して行う上記複数の下位の処理装置と、
上記下位の処理装置からの制御乃至処理に応じて被試験素子にテスト信号を接続したり、被試験素子の出力信号を測定したりする上記複数のハードウェアモジュールと、
からなる I C テストシステム。

2

【発明の詳細な説明】

「産業上の利用分野」

この発明は多数の入出力端子を有する被試験素子を試験する I C テストシステムに関する。

「従来の技術」

第 2 図は従来の I C テストシステムの構成例を示す図である。 I C テストシステムでは、被試験素子を試験するためのテストシーケンスを記述したプログラムが記憶装置 (図示せず) に格納されており、中央処理装置 11 が記憶装置からそのテストプログラムを読出して順次実行するように構成され、例えば半導体メモリ素子を試験するためのテスト動作の全てを中央処理装置 11 が制御するようになっている。

中央処理装置 11 には制御線 12 を介してハードウェアモジュール 13A, 13B, 13C ~ 13N が接続されており、中央処理

装置11がテストプログラムを解釈して実行するに伴って出力する制御信号はこれらハードウェアモジュール13A, 13B, 13C~13Nに制御線12を通して供給される。図には示さないが被試験素子は数個から数十以上にも及ぶ入出力端子を備えており、ハードウェアモジュール13A, 13B, 13C~13Nはそれらの入出力端子に信号を供給し、また出力信号を測定するように制御される。

その制御信号は、例えば、被試験素子の所定の入力端子に対して5.25Vの直流信号を供給するための制御信号であり、この制御信号が供給されると、例えば、ハードウェアモジュール13Aは5.25Vの直流信号を被試験素子の指定された入力端子に対して供給する。

また、中央処理装置11が出力する制御信号は例えば信号を測定することを指令する制御信号であり、直流電圧を測定するための例えばハードウェアモジュール13Bは、この制御信号が供給されると、被試験素子の指定された出力端子に接続され、その信号電圧を測定する。

これ等のハードウェアモジュール13A, 13B, 13C~13Nはマイクロプロセッサ14が組み込まれていてもよい。汎用の論理素子だけで試験回路を組むと膨大な個数の論理素子を必要としても、論理回路の多くの部分をマイクロプロセッサ14で組むことにより回路基板を小型に構成することができる。この場合のマイクロプロセッサ14は単なる多数の論理素子の代替であり、予め決められたシーケンスの処理をするだけであって、複雑な判断機能を必要とするような使い方はされてない。

「発明が解決しようとする問題点」

中央処理装置はプログラムの解釈と実行、つまり、被試験素子の試験を行うための制御信号をハードウェアモジュールなどに出力し、また、被試験素子が出力する信号の測定及び測定結果の良否の判定など、ICテストシステムの動作に必要とされるあらゆる演算制御を行う必要がある。

特に、電流信号入力ー電圧信号出力特性（I-V特性）或いは電圧信号入力ー電流信号出力特性（V-I特性）などを試験するDCテストは、被試験素子の入出力端子の数が多だけに高速で且つ正確なタイミングのとれた信号の制御或いは信号の測定が要求される。また例えば、テストプログラムに記述されている5.25Vの信号を被試験素子に供給するにしても、中央処理装置は5.25Vなる電圧値をデジタルデータ値に換算してハードウェアモジュールに供給したり、ハードウェアモジュールが被試験素子に対して信号電圧を実際に出力するタイミングまで演算して与えたりする必要がある。更に、そのハードウェアモジュールの出力特性が直線性からズレている場合には、電圧値を指定するデジタルデータを予め記憶されている補正表を参照して補正処理をしたデジタルデータを出力する必要もある。

また、被試験素子の出力端子からの出力信号を測定するにしても、その信号に合わせてハードウェアモジュール

ルの測定レンジを変更するデータを送ってレンジを変更して信号を測定し、得られた測定値は必要に応じて補正表により補正処理をする。確定した測定値は所定の判定表と比較して、良否の判定をし、或いは良否の程度のランク付けをすることもある。

このようなことを数十以上もの入出力端子について、全てを中央処理装置が処理することを要求されるために、中央処理装置が必要とする演算処理の時間が長くなる。従って、ハードウェアモジュールを介して被試験素子に対する信号出力及び信号測定のテストの制御が遅くなり、ICテストシステムの試験速度を上げることが困難である。

「問題点を解決するための手段」

この発明のICテストシステムは、被測定素子の入力端子への制御信号の設定命令、被測定素子の出力端子からの出力信号の測定命令などの実行命令が行単位で記録されたテストプログラムを行単位で読出してその読出した命令を複数の下位の処理装置へ送る上位の処理装置と、

上記上位の処理装置から送られた命令を実行するに必要とする各種制御乃至処理を、上記命令に応じたプログラムを読み出して、複数のハードウェアモジュールに対して行う上記複数の下位の処理装置と、

上記下位の処理装置からの制御乃至処理に応じて被試験素子にテスト信号を接続したり、被試験素子の出力信号を測定したりする上記複数のハードウェアモジュールと、

からなる。

「発明の作用」

この発明の構成によれば、上位の処理装置はテストプログラムの行単位での実行する、を決めるだけで、その実行は下位の複数の処理装置に依頼し、プログラム行に記述されている制御内容の実際の解釈及び実行はしない。代わって、そのプログラム行の解釈及び実行は下位に接続された専用の複数の処理装置によって分散して行われる。

また、被試験素子の特有な細かな諸条件に捉われることなく、プログラムは行単位で高級言語を用いて簡潔に記述することができ、従って、テストプログラムを作り易く、またプログラム作成時及びその変更時のデバッグが容易である。

「実施例」

第1図はこの発明のICテストシステムの実施例を示すブロック図である。この発明のICテストシステムは複数の処理装置が階層構造をとって構成される。即ち、図には示していないが記憶装置に格納されているテストプログラムの実行するを制御する上位の処理装置21と、この上位の処理装置21に制御バス22を介して接続され、その上位の処理装置21の制御の下にプログラム行を実際に行う下位の複数の処理装置23A, 23B, 23C~23Nと、これ等

下位の処理装置23A, 23B, 23C~23Nに制御線24A, 24B, 24C

～24Nを通して制御されるハードウェアモジュール25A, 25B, 25C～25Nとで階層的に構成される。

即ち、この発明によれば、被試験素子を試験する手順がテストプログラムとして記憶装置に格納される。テストプログラムは試験の手順が行単位で記述される。例えば、被試験素子の入力端子に対する入力条件の設定命令とか出力端子から出力される出力信号の測定命令などがプログラム行単位で簡潔に記述されている。上位の処理装置21はテストプログラムをプログラム行単位で記憶装置から順次読出し、その読出したプログラム行について

実行するか否かを制御する。

即ち、この上位の処理装置21には下位の複数の処理装置23A, 23B, 23C～23Nが接続されており、上位の処理装置21は被試験素子に対するテストの進行状態をみながら読出したプログラム行を実行するか否かを決め、実行するを決めたプログラム行の実際の実行は下位に接続された処理装置23A, 23B, 23C～23Nの何れかに委ねる。

各処理装置23A, 23B, 23C～23Nは被試験素子に供給するテスト信号をハードウェアモジュール25A, 25B, 25C～25Nを介して制御するに適した専用の処理装置であり、またハードウェアモジュール25A, 25B, 25C～25Nを介して被試験素子が出力する信号を測定するのに適した専用の処理装置であり、ハードウェアモジュール25A, 25B, 25C～25Nのいずれかにアクセスしたりテスト状態（端子の接続や測定器の状態）等を変更したりするのに効率のよい命令語体系をもち、マクロ命令化されている。従って、少ない命令語数、例えば1, 2命令語数でハードウェアモジュール25A, 25B, 25C～25Nを制御することが可能にもされている。例えば、下位の処理装置23A, 23B, 23C～23Nは、ハードウェアモジュール25A, 25B, 25C～25Nを制御して測定したデータの取り込みと記憶装置への格納を一つの命令で行うことができる。上位の処理装置21がその使われている高級言語体系でハードウェアモジュール25A, 25B, 25C～25Nについて直接同じ制御をするより数十倍の処理速度が得られる。従って、多数の入出力端子を有する被試験素子に対して与える試験条件を種々に変えて、そのV-I特性やI-V特性などを調べるようなDCテストを高速に且つ正確なタイミング信号を用いて進めることが可能とされる。

処理装置23は上位の処理装置21からプログラム行の実行を委嘱されると、そのプログラム行を解釈し、プログラム行の実際の実行に入る。つまり、処理装置23は被試験素子に対するテスト信号の入出力をする手順が記述された制御プログラムを、図には示していないが記憶装置に保持しており、与えられたプログラム行の解釈結果によりその制御プログラムを読出して、プログラム行に記述されている信号の入出力制御を行う手順を実行する。

それらの手順は、例えば先ず、与えられたプログラム行を解釈し、指定されたハードウェアモジュール25に対してアクセスする。続いてテストステータスの変更を行

う。それは、従来例の入出力処理で説明したように、例えば5. 25Vの直流信号を被試験素子に供給するための処理であり、また、被試験素子の出力信号を測定するための処理などである。

また、この発明では、処理装置23は、上位の処理装置21から実行の委嘱を受けたプログラム行をそのまま実行するだけでなく、プログラム行を解釈し、その解釈結果に対して、被試験素子に対して予め情報が与えられている機能条件、例えば、最小クロック幅、入力条件、タイミング関係或いは禁止条件などをチェックし、誤った入力信号を与えてしまったり、甚だしくは被試験素子の破損を招くような信号状態に陥らないように判断しながら被試験素子に試験信号を出力し或いは出力信号の測定を行う制御をするようにプログラムされている。

例えば、被試験素子のテスト中における或るテスト状態Q1の時に、次のテスト状態Q2にするために、プログラム行で記述された命令として或る入力端子に信号を与えると、その被試験素子が置かれては成らない禁止状態Q3に陥ってしまう場合がある。処理装置23では、そのプログラム行を実行することにより、被試験素子がそのような禁止状態Q3になるか否かを調べ、禁止状態Q3を回避するような制御手順を判断してプログラム行を実行する。例えば、処理装置23は被試験素子の状態が、状態Q1から状態Q4、状態Q5……を経てプログラム行で記述された状態Q2に至るように制御動作を判断してプログラム行を実行する。

従って、プログラムを作成する際に、逐次その被試験素子の禁止状態Q3を考慮に容れながらプログラム行を記述していく必要はなく、予め供給されている情報を基に処理装置23が判断して禁止状態Q3に陥ることがないように制御するようにしてある。従って、被試験素子が禁止されている入出力状態になって破壊されたり或いは不定状態に陥ることにより被試験素子が誤動作して誤った試験結果が出ることがないように構成されている。

また、処理装置23は与えられた信号の測定は勿論のこと、必要に応じて測定された信号の例えば直線補正とか、対数曲線補正或いは測定レンジの変更なども行うことができる。このように処理して得られた測定データは基準値或いは閾値などと比較され、その良否の判定が行われると共にそれらのデータロギングが行われる。

なお、制御しなければならぬハードウェアモジュール25A, 25B, 25C～25Nの回路数に応じて下位の処理装置23A, 23B, 23C～23Nの台数は増減する。上位の処理装置21は、プログラム行に記述されている試験の実際の実行はしないので、10台或いはそれ以上の下位の処理装置23A, 23B, 23C～23Nを同時に制御することができる。

この発明では、下位の処理装置23A, 23B, 23C～23Nがプログラム行を実際に実行した時に出力する入出力制御信号はハードウェアモジュール25A, 25B, 25C～25Nに供給される。ハードウェアモジュール25A, 25B, 25C～25Nは供給

された制御信号に従って被試験素子の別に指定された入力端子に対してテスト信号、例えば5.25Vの直流信号が出力され、或いは被試験素子の指定された出力端子からの信号が測定される。

このハードウェアモジュール25A, 25B, 25C～25Nは従来のIC試験装置と同様にマイクロプロセッサ26を含んでもよい。このマイクロプロセッサ26は、多数の論理素子を置き換えた所謂判断機能のない決められたシーケンスを高速に行うものである。このマイクロプロセッサ26は汎用のプロセッサが使用され、GO/NO-GOの動作が予めプログラミングされていて、処理装置23からの命令により被試験素子に対する信号の入出力を制御することができる。

以上のようにこの発明では、汎用のプログラム言語が用いられる上位の処理装置21の下位にハードウェアモジュール25を制御するに適する命令語体系を有し、ハードウェアモジュール制御専用の下位の処理装置23A, 23B, 23C～23Nが配された階層構造とした分散処理システムを構成した。つまり、下位の処理装置23A, 23B, 23C～23Nは上位の処理装置21の制御の下に、被試験素子に対する試験の実際の処理（被試験素子の入出力端子とハードウェアモジュール25A, 25B, 25C～25Nとの接続、データの設定、信号の測定とその補正及び良否判定、測定結果の記録等）の全てを実行することで機能の分散化を実現させた。

「発明の効果」

以上に説明したように、従来においては、半導体素子の試験をするに、分割実行が不可能なテストシーケンスを1台の処理装置で処理していたが、この発明によれば、複数の処理装置を階層構成し、上位の処理装置は専

らプログラム行の実行するを制御し、プログラム行の実際の実行は下位の複数の処理装置で行うように構成した。つまり、上位の処理装置は高級言語で記述されたプログラム行の実行の時期の判断と下位の各処理装置への実行の割り当てるICテストシステム全体の有機的動作を制御し、その制御の下に複数の専用の処理装置を配設し、プログラム行の実際の実行はその下位の複数の専用処理装置に分散させる階層構造での制御を採るようにした。このように分散型アーキテクチャによる処理速度の向上と共に、上位の処理装置に対してはプログラミングが容易な高級言語が用いられ、その高級言語を理解し且つ全体的な制御をするに適した言語体系を使用する。また、下位の処理装置は、上位の処理装置から指示されてハードウェアモジュールの高速制御に適した命令語体系を使用したマクロ命令化するようにした。従って、処理装置によるプログラム行の解釈から制御信号を出力するまでの処理が非常に早くなり、被試験素子に対するテスト、とりわけDCテストを高速に行うことができる。

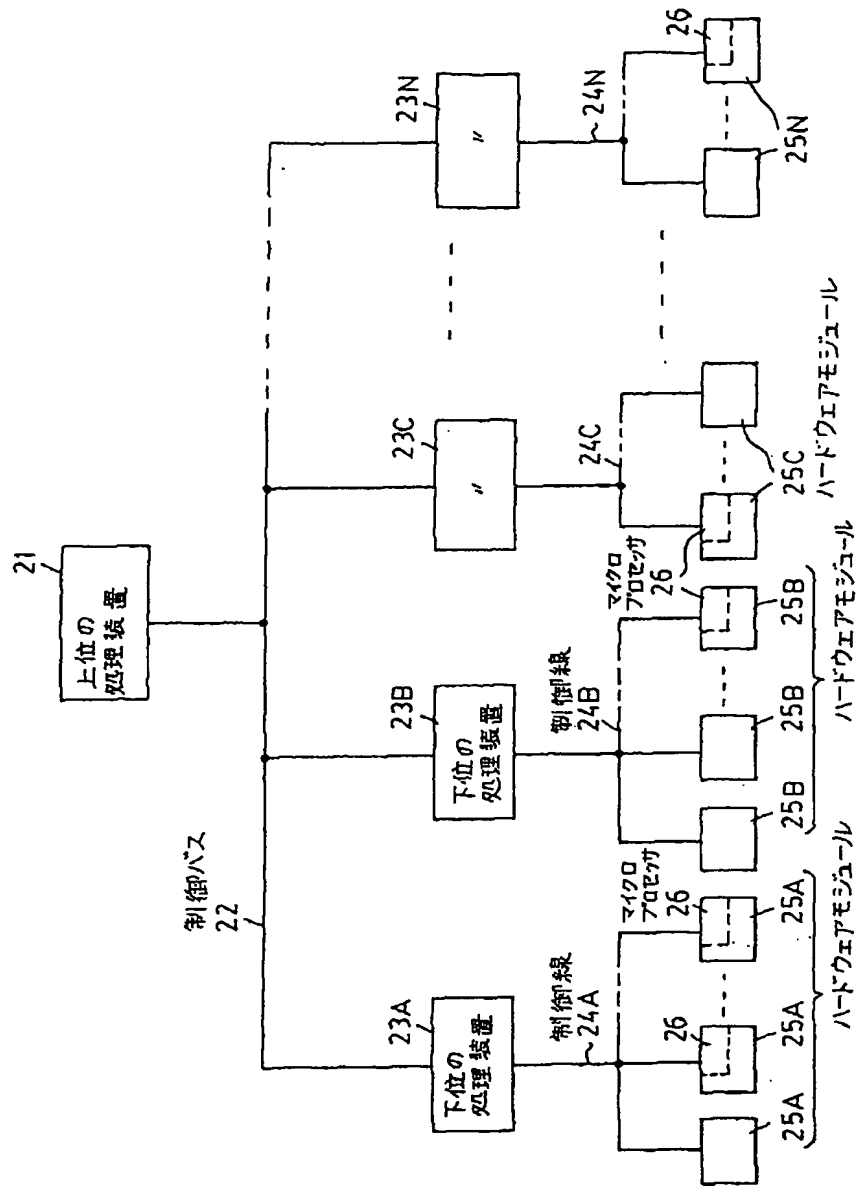
また、被試験素子に対するテストプログラムは高級言語により行単位で記述することができるのでテストプログラムの変更やデバッグも容易にできる。

【図面の簡単な説明】

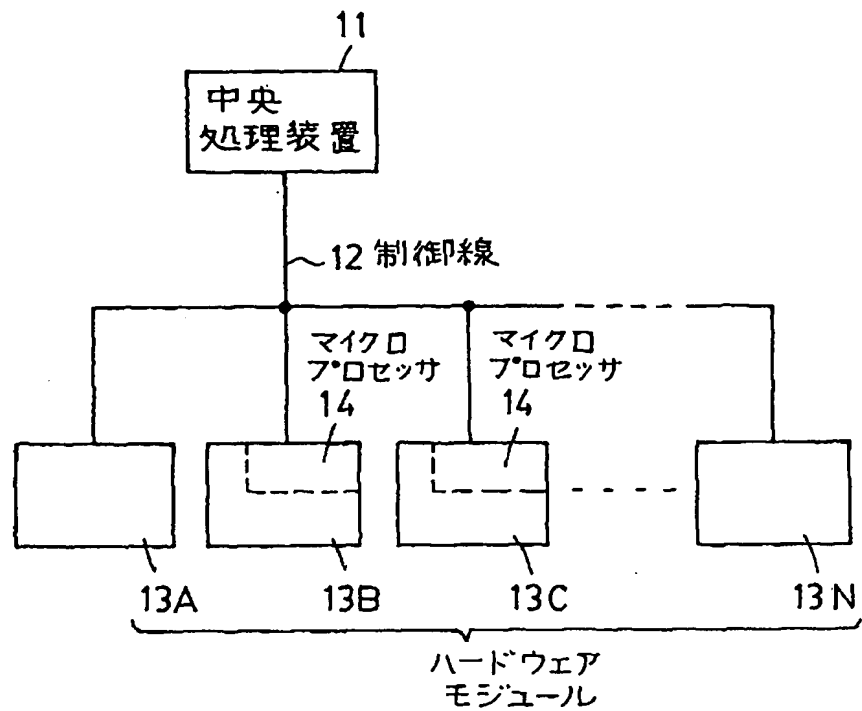
第1図はこの発明によるICテストシステムの実施例を示す構成図、第2図は従来のICテストシステムの構成例を示す図である。

11:中央処理装置、12:制御線、13:ハードウェアモジュール、14:マイクロプロセッサ、21:上位の処理装置、22:制御バス、23:下位の処理装置、24:制御線、25:ハードウェアモジュール、26:マイクロプロセッサ。

【第 1 図】



【第 2 図】



フロントページの続き

- (56) 参考文献 樹下行三他著、「テストと信頼性」、
第 1 版第 1 刷、昭和 57 年 4 月 20 日 オーム
社発行 P. 114~115

2583055

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

(57) [Claim(s)]

[Claim 1] The processor of the high order which run commands, such as a setting instruction of the control signal to the input terminal of an examined component and a conversion command of the output signal from the output terminal of an examined component, read the test program recorded per line per line, and sends the read instruction to the processor of two or more low order, The program according to the above-mentioned instruction of the various control thru/or processing needed for executing the instruction sent from the processor of the above-mentioned high order is read. The processor of two or more above-mentioned low order performed to two or more hardware modules, two or more above-mentioned hardware modules which connect a test signal to an examined component, or measure the output signal of an examined component according to the control thru/or processing from a processor of the above-mentioned low order -- since -- becoming IC test system.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

"Field of the Invention"

This invention relates to IC test system which examines the examined component which has many input/output terminals.

"Prior art"

Fig. 2 is drawing showing the example of a configuration of the conventional IC test system. A central processing unit 11 controls all the test actuation for the program which described the test sequence for examining an examined component being stored in storage (not shown), being constituted so that a central processing unit 11 may read and carry out sequential execution of the test program from storage, for example, examining a semiconductor memory component by IC test system.

Hardware modules 13A, 13B, 13C-13N are connected to the central processing unit 11 through the control line 12, and the control signal which a central processing unit 11 follows on performing by decoding a test program, and outputs is supplied to these hardware modules 13A, 13B, 13C-13N through the control line 12. It is controlled to equip the examined component with the input/output terminal which attains to dozens or more from some, although not shown in drawing, and for hardware modules 13A, 13B, 13C-13N to supply a signal to those input/output terminals, and to measure an output signal.

That control signal is a control signal for supplying the direct current signal of 5.25V to the predetermined input terminal of for example, an examined component, and if this control signal is supplied, hardware module 13A will supply the direct current signal of 5.25V to the input terminal with which the examined component was specified, for example.

Moreover, it is the control signal which orders it for the control signal which a central processing unit 11 outputs to measure a signal, and it will connect with the output terminal as which the examined component was specified, and hardware module 13B will measure that signal level, if this control signal is supplied in order to measure direct current voltage for example.

As for the hardware modules 13A, 13B, 13C-13N, such as this, the microprocessor 14 may be incorporated. When a test circuit is constructed only by the general-purpose logical element, even if it needs the logical element of the huge number, the circuit board can be constituted small by constructing many parts of a logical circuit by the microprocessor 14. Usage which the microprocessor 14 in this case is substitution of the logical element of mere a large number, only processes the sequence decided beforehand, and needs a complicated judgment function is not carried out.

"The trouble which invention tends to solve"

Measurement of the signal which a central processing unit outputs the control signal for performing decode of a program and activation, i.e., the trial of an examined component, to a hardware module etc., and an examined component outputs, the judgment of the quality of a measurement result, etc. need to perform all operation control needed for actuation of IC test system.

Control of the signal which it is a high speed because especially the DC test that examines current signal input-voltage signal output characteristics (I-V property) or voltage signal input-

current signal output characteristics (V-I property) has many input/output terminals of an examined component, and was able to take exact timing, or measurement of a signal is required. Moreover, even if it, for example, supplies the signal of 5.25V described by the test program to an examined component, a central processing unit converts into a digital data value the electrical-potential-difference value which becomes 5.25V, and it is necessary to calculate it and it needs to give [it is necessary to supply a hardware module or, and] it to the timing to which a hardware module actually outputs a signal level to an examined component. Furthermore, when the output characteristics of the hardware module have shifted from linearity, it is necessary to output the digital data which carried out amendment processing with reference to the amendment table beforehand memorized in the digital data which specifies an electrical-potential-difference value.

Moreover, even if it measures the output signal from the output terminal of an examined component, the data which change the measurement range of a hardware module according to the signal are sent, a range is changed, a signal is measured, and the obtained measured value carries out amendment processing by the amendment table if needed. As compared with a predetermined judgment table, the settled measured value may judge a quality or may rank extent of a quality.

Since it is required that a central processing unit should process all for such a thing about dozens or more input/output terminals, the time amount of data processing which a central processing unit needs becomes long. Therefore, it is difficult for control of the test of the signal output to an examined component and signal measurement to become slow through a hardware module, and to gather the test period of IC test system.

"The means for solving a trouble"

IC test system of this invention The setting instruction of the control signal to the input terminal of a measured component, The processor of the high order which run commands, such as a conversion command of the output signal from the output terminal of a measured component, read the test program recorded per line per line, and sends the read instruction to the processor of two or more low order, The program according to the above-mentioned instruction of the various control thru/or processing needed for executing the instruction sent from the processor of the above-mentioned high order is read. processor of two or more above-mentioned low order performed to two or more hardware modules Two or more above-mentioned hardware modules which connect a test signal to an examined component, or measure the output signal of an examined component according to the control thru/or processing from a processor of the above-mentioned low order from -- it becomes.

"An operation of invention"

According to the configuration of this invention, the processor of a high order only determines ** in the line unit of a test program to perform, and requests that activation from two or more low-ranking processors, and the actual decode and the activation of the contents of control which are described by the program line are not carried out. Instead, decode and activation of the program line are performed by two or more processors of dedication connected to low order distributing.

Moreover, there is no ***** in fine terms and conditions with a characteristic examined component, a program can be briefly described using a high level language per line, therefore tends to make a test program, and debugging at the time of a programming and its modification is easy for it.

"Example"

Fig. 1 is a block diagram showing the example of IC test system of this invention. Two or more processors take a layered structure, and IC test system of this invention is constituted. Namely, the processor 21 of the high order which controls activation **** of the test program stored in storage although not shown in drawing, Two or more processors 23A, 23B, 23C-23N of the low order which is connected to the processor 21 like besides through a control bus 22, and actually performs a program line under control of the processor 21 of that high order, It consists of hardware modules 25A, 25B, 25C-25N controlled by the processors 23A, 23B, 23C-23N of low order, such as this, through the control lines 24A, 24B, 24C-24N hierarchical.

That is, according to this invention, the procedure of examining an examined component is stored in storage as a test program. As for a test program, an experimental procedure is described per line. For example, the conversion command of the output signal outputted from a setting instruction and output terminal of the input condition over the input terminal of an examined component etc. is briefly described per program line. The processor 21 of a high order controls whether a test program is performed about read-out and its read program line one by one from storage per program line.

That is, two or more low-ranking processors 23A, 23B, 23C-23N are connected to the processor 21 of this high order, and the processor 21 of a high order leaves actual activation of the program line which decided whether to perform the program line read while seeing the advance condition of a test over an examined component, and determined activation **** for processors [which were connected to low order / 23A 23B, 23C-23N] any being.

Each processors 23A, 23B, 23C-23N are processors of dedication suitable for controlling the test signal supplied to an examined component through hardware modules 25A, 25B, 25C-25N. Moreover, it is the processor of dedication suitable for measuring the signal which an examined component outputs through hardware modules 25A, 25B, 25C-25N. It has an efficient instruction word system in accessing hardware modules [25A, 25B, 25C-25N] either, or changing a test condition (connection of a terminal and condition of a measuring instrument) etc., and is macro-instruction-ized. Therefore, it is also possible to control hardware modules 25A, 25B, 25C-25N by the small number of instruction word, 1 [for example,], and the number of 2 instruction word. For example, the low-ranking processors 23A, 23B, 23C-23N can perform incorporation of the data which controlled and measured hardware modules 25A, 25B, 25C-25N, and storing in storage with one instruction. The processing speed of a number decade is obtained rather than the processor 21 of a high order carries out the control directly same about hardware modules 25A, 25B, 25C-25N for the high level language system currently used. therefore, a DC test which boils and changes various test conditions given to the examined component which has many input/output terminals, and investigates the V-I property, I-V property, etc. -- a high speed -- and it is supposed that advancing using an exact timing signal is possible.

If a processor 23 is entrusted with activation of a program line from the processor 21 of a high order, it will decode the program line and will start actual activation of a program line. That is, although the processor 23 does not show in drawing the control program with which the procedure which outputs and inputs the test signal to an examined component was described, it is held to storage, the control program is read by the decode result of the given program line, and the procedure of performing input/output control of the signal described by the program line is performed.

First, the given program line is decoded and those procedures access it to the specified hardware module 25. Then, the test status is changed. As the radial transfer of the conventional example explained, it is processing for supplying the direct current signal of 5.25V to an examined component, and is processing for measuring the output signal of an examined component etc.

Moreover, in this invention, a processor 23 decodes a program line and it not only performs the program line which received request of activation from the processor 21 of a high order as it is, but receives that decode result. The functional conditions to which information is beforehand given to the examined component, for example, the minimum clock width of face, Check an input condition, timing relationship, or prohibition conditions, give the mistaken input signal or It is programmed to carry out control which outputs a stimulus to an examined component or measures an output signal, judging that it does not lapse into a signal state which causes breakage of an examined component greatly.

For example, if a signal is given to a certain input terminal as an instruction described by the program line in order to change into the following test condition Q2 in a certain test condition Q1 under test of an examined component, it may lapse into the prohibition condition Q3 which does not change if the examined component is placed. In a processor 23, by performing the program line, it investigates whether an examined component will be in such a prohibition condition Q3, a control procedure which avoids the prohibition condition Q3 is judged, and a program line is

performed. For example, control action is judged that a processor 23 results in the condition Q2 that the condition of an examined component was described by the program line through a condition Q4 and condition Q5 from the condition Q1, and a program line is performed. Therefore, in case a program is created, it is not necessary to describe a program line, taking the prohibition condition Q3 of the examined component into consideration serially, and is made to have controlled for a processor 23 to judge based on the information currently supplied beforehand, and not to lapse into the prohibition condition Q3. Therefore, by being in the I/O condition that the examined component is forbidden, and being destroyed, or lapsing into an indeterminate condition, it is constituted so that the test result which the examined component malfunctioned and was mistaken may not come out.

Moreover, not to mention measurement of the given signal, the straight-line amendment of a signal measured if needed, and a processor 23 can make logarithmic curve amendment or modification of a measurement range etc. Thus, the measurement data processed and obtained is compared with a reference value or a threshold, and while the judgment of the quality is performed, those data logging is performed.

in addition, it must control -- according to the hardware modules [25A 25B, 25C-25N] number of circuits, the low-ranking processors [23A 23B, 23C-23N] number is fluctuated. Since the processor 21 of a high order does not carry out actual activation of the trial described by the program line, it can control the processors 23A, 23B, 23C-23N of the low order beyond ten sets or it to coincidence.

In this invention, the input/output control signal outputted when the low-ranking processors 23A, 23B, 23C-23N actually perform a program line is supplied to hardware modules 25A, 25B, 25C-25N. The signal from an output terminal with which the test signal, for example, the direct current signal of 5.25V, was outputted to the input terminal specified according to the examined component according to the control signal with which hardware modules 25A, 25B, 25C-25N were supplied, or the examined component was specified is measured.

These hardware modules 25A, 25B, 25C-25N may contain the microprocessor 26 like the conventional IC testing device. This microprocessor 26 performs the decided sequence without the so-called judgment function which replaced many logical elements at a high speed. A general-purpose processor is used, actuation of GO/NO-GO is programmed beforehand, and this microprocessor 26 can control I/O of the signal over an examined component by the instruction from a processor 23.

As mentioned above, it has an instruction word system suitable for controlling a hardware module 25 in the low order of the processor 21 of a high order with which general-purpose programming language is used, and the distributed processing system made into the layered structure on which the processors 23A, 23B, 23C-23N of the low order only for hardware module control were arranged consisted of this invention. The low-ranking processors 23A, 23B, 23C-23N that is, under control of the processor 21 of a high order Decentralization of a function was realized by performing all the experimental actual processings (connection between the input/output terminal of an examined component, and the hardware modules 25A, 25B, 25C-25N, a setup of data, measurement and amendment of a signal, a quality judging, record of a measurement result, etc.) to an examined component.

"Effect of the invention"

According to this invention, as explained above, in the former, the test sequence in which division activation is impossible was processed [examining a semiconductor device and] by one set of a processor, but hierarchy organization of two or more processors was carried out, and it was constituted [the processor of a high order controlled activation **** of a program line chiefly and] so that two or more low-ranking processors might perform actual activation of a program line. That is, the processor of a high order controls decision of the stage of activation of the program line described with the high level language, and organic actuation of the whole IC test system which the activation to each low-ranking processor assigns, the processor of two or more dedication is arranged in the bottom of the control, and actual activation of a program line took control by the layered structure which two or more exclusive processors of the low order are made to distribute. Thus, the language system suitable for a high level language with easy

programming being used to the processor of a high order with improvement in the processing speed by distributed architecture, and understanding the high level language and carrying out overall control is used. Moreover, it was [macro-instruction-] made to use a low-ranking processor using the instruction word system which was directed from the processor of a high order and was suitable for high-speed control of a hardware module. Therefore, processing until it outputs a control signal from decode of the program line by the processor becomes early very much, and the test and division DC test to an examined component can be performed at a high speed.

Moreover, since the test program to an examined component can be described per line with a high level language, it can also make modification and debugging of a test program easy.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

The block diagram showing the example of IC test system according [Fig. 1] to this invention and Fig. 2 are drawings showing the example of a configuration of the conventional IC test system.

11: A central processing unit, 12:control line, 13:hardware module, 14:microprocessor, the processor of 21:high order, 22:control bus, the processor of 23:low order, 24:control line, 25:hardware module, 26 : microprocessor.

[Translation done.]